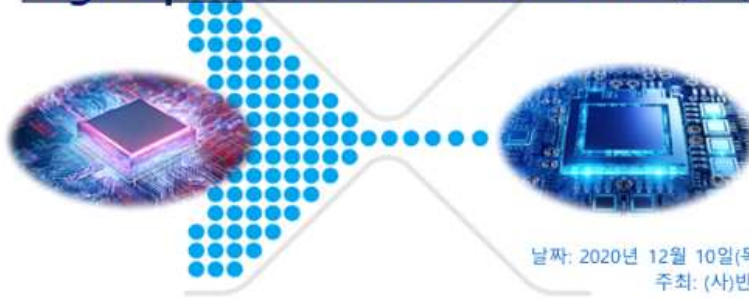


# High-Speed Interface ON-LINE 단기강좌



날짜: 2020년 12월 10일(목)~11일(금)  
주최: (사)반도체공학회

## 초대의 글

반도체공학회 (ISE)에서는 아래와 같이 High-Speed Interface ON-LINE 단기강좌를 개최합니다. 고속 인터페이스 회로는 메모리 반도체 및 시스템 반도체 간 디지털 데이터를 고속으로 송수신하는데 필수적인 구성 요소로서, 특히 최근 데이터 센터에 폭넓게 사용되는 지능형 반도체들의 I/O bottleneck을 해소하여 높은 데이터 처리 성능을 달성하기 위해 필수적으로 요구되는 기술입니다. 따라서 삼성전자, SK하이닉스, 인텔, 퀄컴, NVIDIA, Xilinx 등의 반도체 분야 선도 회사들을 중심으로 초고속 인터페이스 연구가 활발히 진행되고 있을 뿐만 아니라, 반도체 분야 회사로 여겨지지 않았던 애플, 구글, 페이스북 등의 회사들과 다양한 스타트업에서도 표준 인터페이스 및 자체 인터페이스 설계 기술을 확보하려는 노력이 꾸준히 이어지고 있습니다. 국내에서는 산업계와 학계에서 활발한 연구 개발이 이루어지고 있고, 정부 주도로 차세대 지능형 반도체 사업의 핵심적인 분야로 초고속 인터페이스 기술의 연구 개발이 수행되고 있습니다.

본 ON-LINE 단기강좌는 고속 인터페이스 회로의 주요 구성 요소들인 송신기, 수신기, 클럭 회로들에 대한 기본적인 내용들부터 현재 고속 인터페이스 분야에서 수행되는 주요 연구 분야에 대한 소개까지 포함하여, 입문자부터 전문가에 이르기까지 산학연 모든 구성원 분들에게 도움이 되도록 프로그램을 구성하였습니다. 해당 분야 최고 수준의 연구 성과를 보유하고 계신 분들을 강연자로 초빙하였으며, 코로나 바이러스 방역 상황을 고려하여 온 라인으로 진행하나 강연 프로그램 종료 이후 질의 응답을 할 수 있도록 기획하였습니다. 많은 참여를 바랍니다.

조직위원장 유재희  
조직위원 한재덕, 최중호, 유창식, 차효영, 김경기

반도체공학회 회장 정덕균

## 행사 개요

- 📌 행사명: High-Speed Interface ON-LINE 단기 강좌
- 📌 날짜: 2020년 12월 10일(목)~11일(금)
- 📌 장소: ON-LINE 단기 강좌
- 📌 주최: (사)반도체공학회
- 📌 대상: 대학원생, 산업체 연구원, 대학생
- 📌 강연자: 국내 고속 인터페이스 설계 분야 석학

## 프로그램

순서	소요 시간	강연 제목	강연자
1	60분	Overview of High-Speed Wireline Communication	한재덕 (한양대학교)
2	60분	Channel Equalization	정덕균 (서울대학교)
3	60분	Data-path Design for High-Speed Wireline Transmitters	송준영 (인천대학교)
4	60분	Data-path Design for High-Speed Wireline Receivers	최우석 (서울대학교)
5	60분	Clock-path Design for High-Speed Wireline Transceivers	배우람 (Ayar Labs)
6	60분	High-Speed Interface for DRAMs	김철우 (고려대학교)
7	60분	Multi-Level/Band/Lane Wireline Interface Technologies	전정훈 (성균관대학교)
8	60분	Techniques for Easier High-Speed Wireline Transceiver Design	김병섭 (POSTECH)
9	60분	TIADC Design for ADC-based Wireline Transceivers	김진태 (건국대학교)
10	60분	Design Techniques for High-Bandwidth Wireline Transmitters in FinFET Technologies	김지환 (Intel)
11	60분	Next generation high-speed interconnect solutions	배현민 (KAIST)

강연 요약

 <p>한재덕 (한양대학교)</p>	<p><b>Overview of High-Speed Wireline Communication</b></p> <p>최근 데이터 중심 시스템의 발전으로 관련 메모리 반도체 및 시스템 반도체에 사용되는 고속 직렬 인터페이스의 중요성이 커지고 있다. 직렬 인터페이스는 반도체 시스템에서 생성되는 대용량의 데이터를 다른 시스템들과 송수신하는데 사용되는 고속 통신 회로로, 높은 데이터 전송률과 에너지 효율성을 달성하는 직렬 인터페이스 설계 기술의 중요성이 매우 크다. 본 강의에서는 이러한 고속 직렬 인터페이스 회로 및 시스템의 종류와 주요 성능 지표 등의 전반적인 내용을 강의한다.</p>
 <p>정덕균 (서울대학교)</p>	<p><b>Channel Equalization</b></p> <p>고속으로 신호를 전송하기 위해서는 구리로 만들어진 전송선의 Skin Effect와 전송매질의 Dielectric Loss 등으로 인한 신호의 손실을 보상해야 하며 이를 위한 FFE, CTLE, DFE 등의 동작 원리와 구현 회로 등을 강의한다.</p>
 <p>송준영 (인천대학교)</p>	<p><b>Data-path Design for High-speed Wireline Transmitters</b></p> <p>고속 인터페이스 내에서 Transmitter는 병렬 데이터를 고속 직렬 데이터로 변환 후 최소한의 에러를 갖도록 데이터를 전송하는 것을 목표로 한다. 이러한 목적을 달성하기 위해 transmitter 내의 세부 블록들에 대한 noise analysis가 필요하고, 이를 바탕으로 serializer, output driver의 구조를 결정하고 여러 고속 동작을 위한 design technique이 추가된다. 본 강의에서는 transmitter의 스펙 설정을 위한 noise analysis 방법과 각 세부 블록의 일반적인 구조 및 장단점에 대해 다룬 예정이다.</p>
 <p>최우석 (서울대학교)</p>	<p><b>Data-path Design for High-speed Wireline receivers</b></p> <p>일반적으로 송수신 회로는 특정 정보를 전달하는 송신부(transmitter), 정보를 받아들이는 수신부(receiver) 회로를 포함하며, PCIe, SATA, DVI, MPH 등 모든 통신용 반도체에 필수적으로 사용되는 중요회로이다. 고속의 데이터를 안정적으로 수신하기 위해서는 특히 receiver 설계가 중요하며, 이를 고속 및 저전력으로 설계하는 것은 매우 높은 난이도를 가지고 있다. 본 강의에서는 기본적인 equalizer, CDR (clock and data recovery) 회로 등을 포함하여 high-speed receiver를 설계하는데 고려해야 할 사항들에 대해 소개한다.</p>
 <p>배우람 (Ayar Labs)</p>	<p><b>Clock-path Design for High-Speed Wireline Transceivers</b></p> <p>Clocking 회로의 노이즈와 전력소모는 고속 인터페이스의 성능을 결정하는 중요한 요소 중 하나이다. 본 강의에서는 고속 인터페이스에서 사용되는 clocking 회로의 기초이론과 최신 트렌드를 소개한다.</p>
 <p>김철우 (고려대학교)</p>	<p><b>High-Speed Interface for DRAMs</b></p> <p>메모리 대역폭은 지속적으로 증가해 오고 있다. 특히, 최근 들어서는 4차 산업 혁명에 발맞추어 더 큰 DRAM 대역폭을 요구 받고 있다. 이를 해결하기 위해서 TSV, 등화기, 터미네이션, signaling 기법 등 다양한 기술들이 연구되고 있다. 본 세미나에서는 메인 메모리, 모바일 메모리, 그래픽 메모리 등에서 어떠한 기술들을 사용하여 효율적으로 신호를 주고 받는 지에 대해 소개한다.</p>
 <p>전정훈 (성균관대학교)</p>	<p><b>Multi-Level/Band/Lane Wireline Interface Technologies</b></p> <p>기존 Binary NRZ 신호를 사용하는 직렬 인터페이스의 대역폭을 확장하기 위해 다차원적인 변복조를 거치는 기술이 활발하게 개발되어 왔다. 이러한 연구개발 동향을 결정해온 기술적, 산업적 환경을 설명하고, 대표적인 기술인 신호의 진폭 변조를 이용한 다중 신호 레벨 시그널링, balanced coding 기법을 적용한 다채널 시그널링, 주파수 대역의 분할 활용 시그널링 등의 원리와 대표적 구현 예를 소개한다.</p>

 <p>김병섭 (POSTECH)</p>	<p><b>Techniques for Easier High-Speed Wireline Transceiver Design</b></p> <p>이 강연에서는 고속 인터페이스 회로를 보다 쉽게 설계할 수 있도록 도와줄 수 있는 설계 기술 및 소프트웨어 기술들을 소개한다. 고속 인터페이스 회로는 설계가 매우 까다롭다. 고속 인터페이스 회로는 동작 속도가 매우 높아 기생성분에 의해서 크게 영향을 받으며, 정밀한 아날로그/혼성 신호를 다루기 때문에 소자의 산포에 의해서도 성능이 좌우된다. 이 강연에서는 이문제를 보다 쉽게 해결할 수 있도록 도와주는 몇 가지 기술들을 소개할 예정이다.</p>
 <p>김진태 (건국대학교)</p>	<p><b>TIADC Design for ADC-based Wireline Transceivers</b></p> <p>TIADC기반의 Multi-level Signaling용 Link 수신기는 Digital-Domain에서의 DFE나 Cross-Talk Cancellation을 유연하게 구현할 수 있어 적극적으로 채용되고 있다. 본 강의에서는 TIADC의 기본적인 개념을 소개하고, 또한 채널간의 Gain, Bandwidth, Timing Mismatch등의 오차가 전체 성능에 미치는 영향에 대해 알아본다. 또한 이러한 채널간 오차를 디지털/아날로그 회로를 통해 종합적으로 교정하는 Calibration 기법에 대해 소개한다.</p>
 <p>김지환 (Intel)</p>	<p><b>Design techniques for high-bandwidth wireline transmitters in FinFET technologies</b></p> <p>Ultra high-speed wireline transceivers are essential circuit systems that enable high-bandwidth serial data communication. Strong demands in high performance computing, networking and communication, and most recently AI processing require the serial IO interface to be capable of handling 100+Gb/s data-rate per lane. In this talk, we are exploring trends and key design techniques for 100+Gb/s transmitters (TXs) which is a key building block of high-speed SerDes systems. Important trade-offs of different TX architectures will be discussed, and design/analysis technique for clock distribution, data-path, and output stage will be introduced along with measurement results of 112Gb/s TX.</p>
 <p>배현민 (KAIST)</p>	<p><b>Next generation high-speed interconnect solutions</b></p> <p>유선통신의 전송속도가 50Gb/s 이상으로 올라가면서 구리선에서의 전송률은 Shannon이 정의한 Channel capacity에 근접하고 있다. 이를 해결하기 위해 이퀄라이저의 특성을 향상하기 위한 노력과 더불어 다양한 line coding과 channel coding 기법들이 등장하고 있다. 다른 한편으로는 구리를 대신할 수 있는 매질에 관한 연구도 활발히 진행되고 있다. 광통신분야에서는 과도한 석분산으로 인한 전송거리 제한이 발생하고 있으며, 이를 해결하기 위해 구리선의 경우와는 다른 여러 기법들이 동원되고 있다. 이번 강좌에서는 고속 구리선통신 및 광통신에 관한 전반적인 기술들을 언급하고자 한다.</p>

**ON-LINE 단기강좌 안내**

- 홈페이지에서 로그인 후 등록 완료 시 단기강좌 동영상 시청이 가능합니다.
- Q&A는 12/18(금)까지 해당 강연자와 질문을 메일(online@theise.org)로 문의 주시면, 각 강연자가 추후 영상 촬영 또는 서면 답변으로 회신하는 방식으로 진행됩니다.
- 수료증은 단기강좌 종료 후 E-mail로 개별 송부됩니다.

**ON-LINE 등록 안내**

- 홈페이지 신청 : <https://www.theise.org/online>
- 사전 등록 기간 : 2020년 12월 7일(월) 23:59 까지
- 등록비

구분	학생회원	일반회원	비회원
12월 7일(월) 까지	15만원	20만원	25만원
12월 8일(화) 부터	20만원	25만원	30만원

- \* 학회 회원 등록 시 본 강좌 등록비가 감액되오니 <https://www.theise.org/sub-6>에 회원가입 후 등록 신청 가능합니다.
- 결제 방법 : 신용카드 결제 또는 무통장 입금; 국민은행, 028201-01-094902 (예금주: (사)반도체공학회)
  - \* 전자계산서 발행 : 온라인 등록(무통장 입금 선택) 후 요청사항 및 사업자등록증을 문의처 메일로 송부
- 문의처 : (사)반도체공학회 사무국 02-553-2210 / [online@theise.org](mailto:online@theise.org)